

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2006 EPO. All rts. reserv.

15713649

Basic Patent (No,Kind,Date): KR 172901 B1 19990201 <No. of Patents: 001>

METHOD OF MANUFACTURING THIN FILM TRANSISTOR (English)

Patent Assignee: LG ELECTRONICS INC (KR)

Author (Inventor): LEE EUN-YONG (KR); BAE HYUNG-KYUN (KR)

IPC: *H01L-029/786; H01L-021/336

Language of Document: Korean

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
KR 172901	B1	19990201	KR 9567259	A	19951229

(BASIC)

Priority Data (No,Kind,Date):

KR 9567259 A 19951229

(19) Korean Patent Office (KR)
(12) Registered Patent Publication (B1)

(51) Int.Cl⁶

H01L 29/786

H01L 21/336

(45) Publication Date: February 1, 1999

(11) Publication No. 10-0172901

(24) Registration Date: October 26, 1998

(21) Application No.: P1995-067259

(22) Application Date: December 29, 1995

(65) Laid-open Publication No.: P1997-054481

(43) Laid-open Publication Date: July 31, 1997

(73) Patentee: LG Electronics Co., Ltd. Koo,Ja-hong
20,Yeouido-Dong, Yeoungdeungpo-Gu, Seoul Metropolitan
City, KOREA

(71) Applicant: LG Electronics Co., Ltd.

(72) Inventor: Lee, Yeun-young

105-302, Chang-An Town, 69 Budang-Dong,
Budang-gu, Seoungnam-city, Gyeonggi-Do, KOREA

Bae, Hyeung-gyun

1002, 18-Dong, New Town Apart, 361 Pisan 3-
Dong, Anyang-city, Gyeonggi-Do, KOREA

(74) Agent: Kim, Yong-in

Sim, Chang-sop

Examiner: Oh, Soe-jun

(54) Title: METHOD FOR MANUFACTURING THIN FILM TRANSISTOR

Abstract

The present invention relates to a method for manufacturing a thin film transistor, and, more particularly, to a method for manufacturing a thin film transistor adapted to increase a break-down voltage of a gate insulation film. The method comprises forming an active layer on a substrate; patterning a photosensitive layer on a predetermined region of the active layer; removing a portion of the active region by using the photosensitive layer as a mask so as not to expose the substrate to form an island-shaped active layer; forming a gate insulation film over an entire surface of the substrate including the island-shaped active layer; forming a gate electrode on the gate insulation film including the island-shaped active layer; forming source/drain regions at both sides of the electrode of the island-shaped active layer; forming an interlayer insulation film on the entire surface of the substrate including the gate electrode; selectively removing the interlayer insulation film and the gate insulation film to form contact holes so as to expose the source/drain regions; and forming source/drain electrodes in the contact holes. Thus, it is possible to manufacture the



thin film transistor which has excellent device characteristics obtained by improvement in break-down voltage of the gate insulation film.

Specification

[Title of the Invention]

Method for manufacturing thin film transistor

[Brief Description of the Drawings]

Fig. 1 is cross-sectional views illustrating steps of a conventional method for manufacturing a thin film transistor; and

Fig. 2 is cross-sectional views illustrating steps of a method for manufacturing a thin film transistor in accordance with the present invention.

***Description of Reference numerals**

1: Substrate 2: polycrystalline silicon 3: gate insulation film 4: gate electrode 5: interlayer insulation film 6: contact hole 7: metal 8: photosensitive film

[Detailed description of the Invention]

The present invention relates to a method for manufacturing a thin film transistor, and more particularly, to a method for manufacturing a thin film

transistor adapted to increase a break-down voltage of a gate insulation film.

A conventional method for manufacturing a thin film transistor will be described with reference to accompanying drawings.

Fig. 1 is cross-sectional views illustrating steps of a conventional method for manufacturing a thin film transistor.

As shown in Fig. 1a, polycrystalline silicon 2 is formed on a dielectric substrate 1 such as glass, and selectively removed to have an island-shaped pattern through photolithography and etching processes.

Then, as shown in Fig. 1b, after forming a gate insulation film 3 on an entire surface of the polycrystalline silicon 2 by a thermal oxidation process, a material for a gate electrode 4 is deposited on the entire surface of the substrate 1 including the gate insulation film 3.

At this time, the gate insulation film 3 has a thin thickness at edges A of the polycrystalline silicon 2.

As shown in Fig. 1c, the material for the gate electrode 4 is selectively removed to have a pattern of the gate electrode 4 through the photolithography and etching processes, and impurity ions are implanted into the entire surface of the substrate 11 using the gate

electrode 4 as a mask. Then, source/drain regions are formed at both sides of the gate electrode 4 by activating the implanted ions through an annealing process.

As shown in Fig. 1d, an interlayer insulation film 5 is formed over the entire surface of the substrate 1 including the gate electrode 4, and is removed along with the gate insulation film 3 through the photolithography and etching processes to form contact holes 6 such that the drain/source regions are exposed.

As shown in Fig. 1e, a metal 7 is formed on a predetermined portion of the interlayer insulation film 5 and in the contact holes 6 so as to be connected with the source/drain regions.

The conventional method for manufacturing the thin film transistor has problems as follows.

As shown in Fig. 1b, when forming the gate insulation film by the thermal oxidation process, the gate insulation film is formed to have a reduced thickness at the edges A, thereby significantly reducing a break-down voltage of the gate insulation film of the device.

In other words, when forming the device, since the break-down voltage of the gate insulation film depends on the properties of the insulation film near the edges A,

the thin thickness of the insulation film at the edges A causes deterioration of the break-down voltage.

The present invention has been made to solve the above problems, and it is an object of the present invention to provide a method for manufacturing a thin film transistor, which can form a gate insulation film with a uniform thickness in order to improve a break-down voltage of the gate insulation film.

In accordance with one aspect of the present invention, the above and other objects can be accomplished by the provision of a method for manufacturing a thin film transistor, comprising: forming an active layer on a substrate; patterning a photosensitive layer on a predetermined region of the active layer; removing a portion of the active region by using the photosensitive layer as a mask so as not to expose the substrate to form an island-shaped active layer; forming a gate insulation film over an entire surface of the substrate including the island-shaped active layer; forming a gate electrode on the gate insulation film including the island-shaped active layer; forming source/drain regions at both sides of the electrode of the island-shaped active layer; forming an interlayer insulation film on the entire surface of the substrate including the gate electrode; selectively

removing the interlayer insulation film and the gate insulation film to form contact holes so as to expose the source/drain regions; and forming source/drain electrodes in the contact holes.

A method for manufacturing a thin film transistor in accordance with the present invention will be described in detail with reference to accompanying drawings as follows.

Fig. 2 is cross-sectional views illustrating steps of the method for manufacturing the thin film transistor in accordance with the present invention.

As shown in Fig. 2a, after forming polycrystalline silicon 2 as an active layer on a dielectric substrate 1 such as glass, a photosensitive layer 8 having a predetermined pattern is formed on a predetermined region of the polycrystalline silicon 2.

As shown in Fig. 2b, island-shaped polycrystalline silicon 2 is formed by removing a portion of the polycrystalline silicon 2 using the photosensitive layer 8 as a mask so as not to expose the substrate 1.

At this point, the polycrystalline silicon 2 is not completely removed excluding some portions to which the pattern of the photosensitive film 8 is applied, and thus some portions of the polycrystalline silicon 2 remain on

the substrate 1.

As shown in Fig. 2c, after removing the photosensitive layer 8, a gate insulation film 3 is formed on the entire surface of the substrate including the polycrystalline silicon 2.

At this point, the gate insulation film 3 is formed by oxidizing a portion of the polycrystalline silicon 2 through a thermal oxidation process.

As shown in Fig. 2d, after depositing a gate electrode material on the gate insulation film 3, the gate insulation material is selectively removed to form a gate electrode 4 through the photolithography and etching processes.

Then, impurity ions are implanted into the entire surface of the substrate 1 through the gate electrode 4 as a mask, and activated to form source/drain regions at both sides of the gate electrode 4 through an annealing process.

As shown in Fig. 2e, after an interlayer insulation film 5 is formed on the entire surface of the substrate 1 including the gate electrode 4, the interlayer insulation film 5 and the gate insulation film 3 are selectively removed to form contact holes 6 so as to expose the source/drain regions.

As shown in Fig. 2f, a metal 7 is formed on a

predetermined portion of the interlayer insulation film 5 and in the contact holes 6 so as to be connected with the source/drain regions.

As described above, the method for manufacturing the thin film transistor according to the present invention has an advantageous effect as follows.

According to the present invention, since the gate insulation film is formed to have a uniform thickness, and is thus remarkably improved in break-down voltage, it is possible to produce a thin film transistor with excellent device properties, which leads to a liquid crystal display panel having a high reliability.

(57) Claims

1. A method for manufacturing a thin film transistor, comprising: forming an active layer on a substrate; patterning a photosensitive layer on a predetermined region of the active layer; removing a portion of the active region by using the photosensitive layer as a mask so as not to expose the substrate to form an island-shaped active layer; forming a gate insulation film over an entire surface of the substrate including the island-shaped active layer; forming a gate electrode on the gate insulation film including the island-shaped active layer; forming source/drain regions at both sides of the electrode of the island-shaped active layer; forming an interlayer insulation film on the entire surface of the substrate including the gate electrode; selectively removing the interlayer insulation film and the gate insulation film to form contact holes so as to expose the source/drain regions; and forming source/drain electrodes in the contact holes.

2. The method according to claim 1, wherein the gate insulation film is formed by thermal oxidation.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 29/78

(11) 공개번호 특 1997-0054481
(43) 공개일자 1997년 07월 31일

(21) 출원번호	특 1995-0067259
(22) 출원일자	1995년 12월 29일
(71) 출원인	엘지전자주식회사 구자홍 서울특별시 영등포구 여의도동 20번지 (우 : 150-010)
(72) 발명자	미은영 경기도 성남시 분당구 분당동 69 장안타운 105-302 배형균 경기도 안양시 비산3동 361 뉴타운아파트 18동 1002호 김용인, 심형섭
(74) 대리인	김용인, 심형섭

심사결과 : 있음

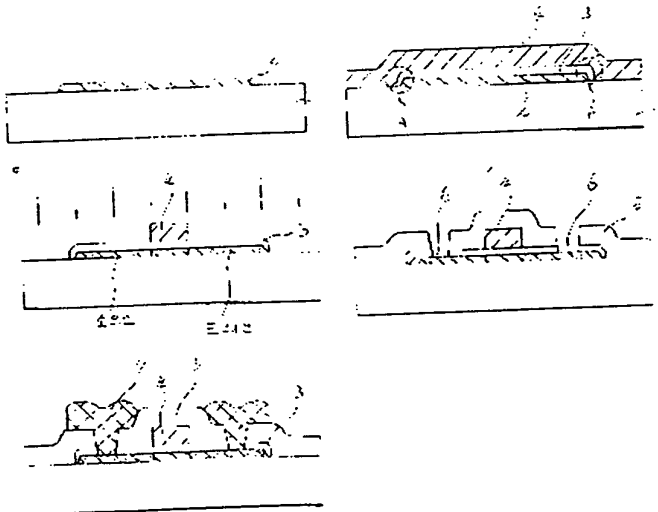
(54) 박막 트랜지스터 제조방법

요약
본 발명은 박막 트랜지스터 제조방법에 관한 것으로, 게이트 절연막의 파괴(Break-down)전압을 향상시키는데 적합하도록 한 박막 트랜지스터 제조방법에 관한 것이다.

이를 위한 본 발명의 박막 트랜지스터 제조방법은 기판위에 활성층을 형성하는 단계, 상기 활성층의 소정 영역에 감광막을 패터닝하는 단계, 상기 감광막을 마스크로 하여 상기 기판이 노출되지 않도록 상기 활성층의 일부를 제거하여 섬모양의 활성층을 형성하는 단계, 상기 섬모양의 활성층을 포함한 기판 전면에 게이트 절연막을 형성하는 단계, 상기 섬모양 활성층을 포함한 게이트 절연막 위에 게이트 전극을 형성하는 단계, 상기 섬모양의 활성층 전극 양측에 소오스/드레인 영역을 형성하는 단계, 상기 게이트 전극을 포함한 기판 전면에 층간 절연막을 형성하는 단계, 상기 제 층간 절연막 및 게이트 절연막을 선택적으로 제거하여 소오스/드레인 영역이 노출되도록 콘택홀을 형성하는 단계, 상기 콘택홀내에 소오스/드레인 전극을 형성하는 단계를 포함하여 이루어진다.

따라서, 게이트 절연막의 파괴전압을 향상시켜 디바이스 특성이 우수한 박막 트랜지스터를 제작할 수 있다.

도면도



도면도

[발명의 명칭]

박막 트랜지스터 제조방법

[도면의 간단한 설명]

제1도는 종래의 박막 트랜지스터 제조공정 단면도.

제2도는 본 발명의 박막 트랜지스터 제조공정 단면도.

• 도면의 주요부분에 대한 부호의 설명

- | | |
|-------------|-------------|
| 1 : 기판 | 2 : 다결정 실리콘 |
| 3 : 게이트 절연막 | 4 : 게이트 전극 |
| 5 : 층간 절연막 | 6 : 콘택홀 |
| 7 : 메탈 | 8 : 감광막 |

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(47) 청구의 범위

청구항 1

기판위에 활성층을 형성하는 단계, 상기 활성층의 소정영역에 감광막을 패터닝하는 단계, 상기 감광막을 마스크로 하여 상기 기판이 노출되지 않도록 상기 활성층의 일부를 제거하여 섬모양 활성층을 형성하는 단계, 상기 섬모양의 활성층을 포함한 기판 전면에 게이트 절연막을 형성하는 단계, 상기 섬모양 활성층을 포함한 게이트 절연막위에 게이트 전극을 형성하는 단계, 상기 게이트 전극 양측에 소오스/드레인 영역을 형성하는 단계, 상기 게이트 전극을 포함한 기판 전면에 층간 절연막을 형성하는 단계, 상기 층간 절연막 및 게이트 절연막을 선택적으로 제거하여 소오스/드레인 영역이 노출되도록 콘택홀을 형성하는 단계, 상기 콘택홀내에 소오스/드레인 전극을 형성하는 단계를 더 포함하여 이루어짐을 특징으로 하는 박막 트랜지스터 제조방법.

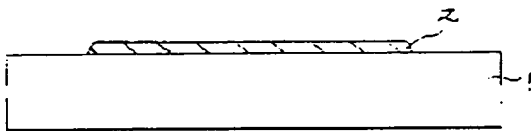
청구항 2

제1항에 있어서, 상기 게이트 절연막을 열산화로 형성되는 것을 특징으로 하는 박막 트랜지스터 제조방법.

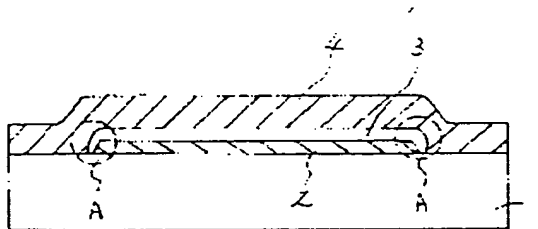
× 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

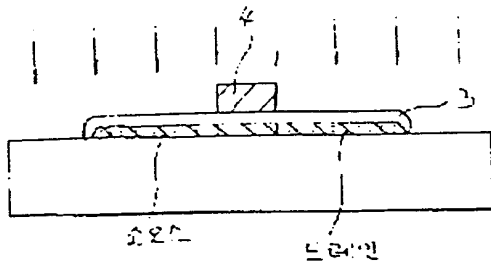
도면 1a



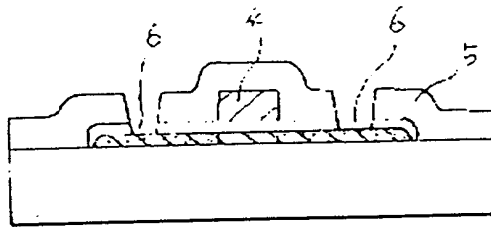
도면 1b



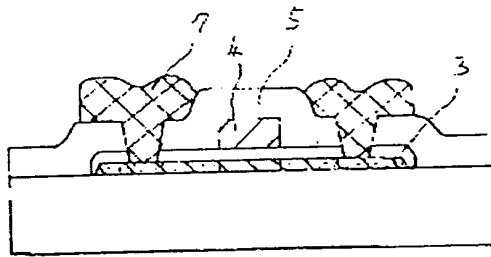
도면 1a



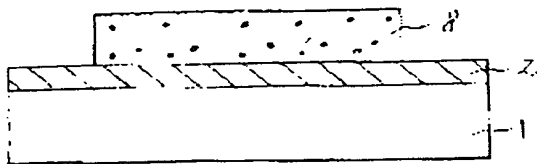
도면 1b



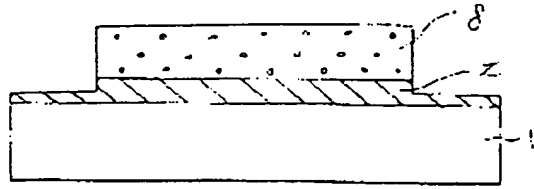
도면 1c



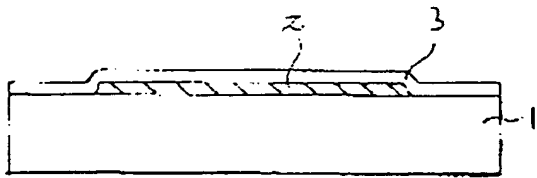
도면 2a



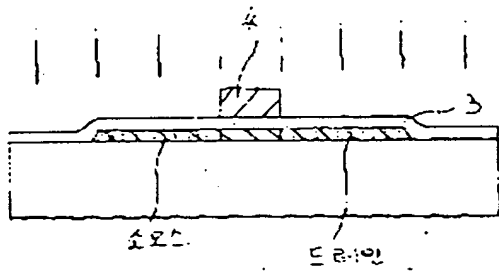
도 20



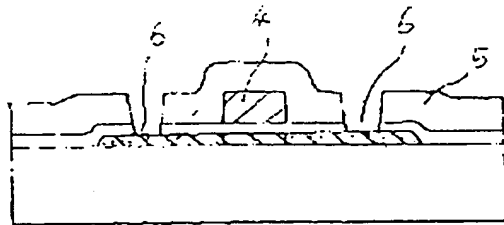
도 21



도 22

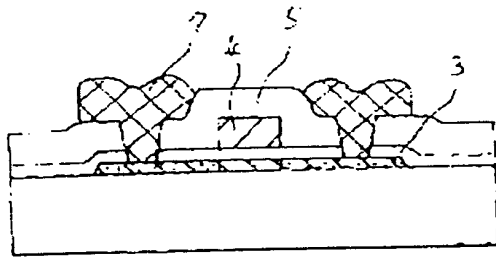


도 23





1997-0054481



(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl. ⁶

H01L 29/786

H01L 21/336

1999년02월

(45) 공고일자 01일

(11) 공고번호 특0172901

(24) 등록일자 1998년10월

26일

(21) 출원번호	특1995-067259	(65) 공개번호	특1997-054481
(22) 출원일자	1995년12월29일	(43) 공개일자	1997년07월31일
(73) 특허권자	엘지전자주식회사 구자홍 서울특별시 영등포구 여의도동 20		
(72) 발명자	이은영 경기도 성남시 분당구 분당동 69 장안타운 105-302 배형균 경기도 안양시 비산3동 361 뉴타운아파트 18동 1002호		
(74) 대리인	김용인 심창섭		

심사관 : 오세준

(54) 박막 트랜지스터 제조방법

요약

본 발명은 박막 트랜지스터 제조방법에 관한 것으로, 게이트 절연막의 파괴(Break-down)전압을 향상시키는데 적합하도록 한 박막 트랜지스터 제조방법에 관한 것이다.

이를 위한 본 발명의 박막 트랜지스터 제조방법은 기판위에 활성층을 형성하는 단계, 상기 활성층의 소정영역에 감광막을 패터닝하는 단계, 상기 감광막을 마스크로 하여 상기 기판이 노출되지 않도록 상기 활성층의 일부를 제거하여 섬모양의 활성층을 형성하는 단계, 상기 섬모양의 활성층을 포함한 기판 전면에 게이트 절연막을 형성하는 단계, 상기 섬모양 활성층을 포함한 게이트 절연막 위에 게이트 전극을 형성하는 단계, 상기 섬모양의 활성층 전극 양측에 소오스/드레인 영역을 형성하는 단계, 상기 게이트 전극을 포함한 기판 전면에 층간 절연막을 형성하는 단계, 상기 층간 절연막 및 게이트 절연막을 선택적으로 제거하여 소오스/드레인 영역이 노출되도록 콘택홀을 형성하는 단계, 상기 콘택홀내에 소오스/드레인 전극을 형성하는 단계를 포함하여 이루어진다.

따라서, 게이트 절연막의 파괴전압을 향상시켜 디바이스 특성이 우수한 박막 트랜지스터를 제작할 수 있다.

명세서

[발명의 명칭]

박막 트랜지스터 제조방법

[도면의 간단한 설명]

제1도는 종래의 박막 트랜지스터 제조공정 단면도.

제2도는 본 발명의 박막 트랜지스터 제조공정 단면도.

* 도면의 주요부분에 대한 부호의 설명

- 1 : 기판 2 : 다결정 실리콘
- 3 : 게이트 절연막 4 : 게이트 전극
- 5 : 층간 절연막 6 : 콘택홀
- 7 : 메탈 8 : 감광막

[발명의 상세한 설명]

본 발명은 박막 트랜지스터 제조방법에 관한 것으로, 게이트 절연막의 파괴(Break-down)전압을

향상시키는데 적합하도록 한 박막 트랜지스터 제조방법에 관한 것이다.

이하, 첨부된 도면을 참조하여 종래의 박막 트랜지스터 제조방법을 설명하면 다음과 같다.

제1도는 종래의 박막 트랜지스터 제조공정 단면도이다.

제1도 (a)와 같이, 유리와 같은 절연성 기판(1)위에 다결정 실리콘(2)을 형성하고 사진식판술 및 식각공정으로 상기 다결정 실리콘(2)을 선택적으로 제거하여 섬(Island) 모양으로 패터닝한다.

제1도 (b)와 같이, 열산화공정으로 상기 다결정 실리콘(2) 전면에 게이트 절연막(3)을 형성하고, 상기 게이트 절연막(3)을 포함한 기판(1) 전면에 게이트 전극(4) 물질을 형성한다.

이때, 상기 다결정 실리콘(2)의 가장자리 부분(A)에 있는 상기 게이트 절연막(3)은 두께가 얇게 형성된다.

제1도 (c)와 같이, 사진식판술 및 식각공정으로 상기 게이트 전극(4) 물질을 선택적으로 제거하여 상기 게이트 전극(4)을 패터닝하고, 상기 게이트 전극(4)을 마스크로하여 기판(1) 전면에 불순물을 이온주입하고 열처리공정으로 주입된 이온을 활성화시켜 상기 게이트 전극(4) 양측에 소오스/드레인 영역을 형성한다.

제1도 (d)와 같이, 상기 게이트 전극(4)을 포함한 기판(1) 전면에 층간 절연막(5)을 형성하고 사진식판술 및 식각공정으로 상기 층간 절연막(5) 및 게이트 절연막(3)을 선택적으로 제거하여 상기 소오스/드레인 영역이 노출되도록 콘택홀(6)을 형성한다.

제1도 (e)와 같이, 상기 소오스/드레인 영역과 전기적으로 연결되도록 상기 콘택홀(6)내 및 상기 층간 절연막(5) 일부분에 메탈(7)을 형성한다.

그러나 이와 같은 종래의 박막 트랜지스터 제조방법에 있어서는 다음과 같은 문제점이 있었다.

상기 제1도 (b)에 도시된 바와 같이, 열산화공정으로 게이트 절연막을 형성할 경우 A부분의 게이트 절연막의 두께가 얇게 형성되므로 디바이스(Device)의 게이트 절연막의 파괴전압 특성이 크게 저하된다.

즉, 디바이스 제작후, 게이트 절연막의 파괴전압이 가장자리 부분(A)의 절연막 특성에 좌우되기 때문에 A부분의 절연막 두께가 얇아지면 파괴전압 특성이 저하된다.

본 발명은 이와 같은 문제점을 해결하기 위하여 안출한 것으로서, 게이트 절연막의 두께를 일정하게 형성하여 게이트 절연막의 파괴전압을 향상시키는데 그 목적이 있다.

이와 같은 목적을 달성하기 위한 본 발명의 박막 트랜지스터의 제조방법은 기판위에 활성층을 형성하는 단계, 상기 활성층의 소정영역에 감광막을 패터닝하는 단계, 상기 감광막을 마스크로 하여 상기 기판이 노출되지 않도록 상기 활성층의 일부를 제거하여 섬모양 활성층을 형성하는 단계, 상기 섬모양의 활성층을 포함한 기판 전면에 게이트 절연막을 형성하는 단계, 상기 섬모양 활성층을 포함한 게이트 절연막위에 게이트 전극을 형성하는 단계, 상기 게이트 전극 양측에 소오스/드레인 영역을 형성하는 단계, 상기 게이트 전극을 포함한 기판 전면에 층간 절연막을 형성하는 단계, 상기 층간 절연막 및 게이트 절연막을 선택적으로 제거하여 소오스/드레인 영역이 노출되도록 콘택홀을 형성하는 단계, 상기 콘택홀내에 소오스/드레인 전극을 형성하는 단계를 포함하여 이루어짐을 특징으로 한다.

상기와 같은 본 발명의 박막 트랜지스터의 제조방법은 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.

제2도는 본 발명의 박막 트랜지스터 제조공정 단면도이다.

제2도 (a)와 같이, 유리와 같은 절연성 기판(1)위에 활성층인 다결정 실리콘(2)을 형성하고, 상기 다결정 실리콘(2)의 소정영역에 감광막(8)을 패터닝한다.

제2도 (b)와 같이, 상기 패터닝된 감광막(8)을 마스크로 하여 상기 기판(1)이 노출되지 않도록 상기 다결정 실리콘(2)의 일부를 제거하여 섬(Island)모양의 다결정 실리콘(2)을 형성한다.

이때, 다결정 실리콘(2)은 패터닝된 감광막(8)이 도포된 부분을 제외한 나머지 부분을 완전히 제거하지 않고 상기 기판(1)위에 일부분이 남아 있게 된다.

제2도 (c)와 같이, 상기 감광막(8)을 제거하고 상기 다결정 실리콘(2)을 포함한 기판 전면에 게이트 절연막(3)을 형성한다.

이때, 게이트 절연막(3)은 열산화공정으로 상기 다결정 실리콘(2)의 일부분을 산화시켜 형성된다.

제2도 (d)와 같이, 상기 게이트 절연막(3)위에 게이트 전극물질을 증착하고 사진식판술 및 식각 공정으로 상기 게이트 전극물질을 선택적으로 제거하여 게이트 전극(4)을 형성한다.

그리고, 상기 게이트 전극(4)을 마스크로 하여 기판(1) 전면에 불순물 이온을 주입하고 열처리

공정으로 주입된 이온을 활성화 시켜 게이트 전극(4) 양측에 소오스/드레인 영역을 형성한다.

제2도 (e)와 같이, 상기 게이트 전극(4)을 포함한 기판(1) 전면에 층간 절연막(5)을 형성하고 사진식각술 및 식각공정으로 상기 층간 절연막(5) 및 게이트 절연막(3)을 선택적으로 제거하여 상기 소오스/드레인 영역이 노출되도록 콘택홀(6)을 형성한다.

제2도 (f)와 같이, 상기 소오스/드레인 영역과 전기적으로 연결되도록 상기 콘택홀(6)내 및 상기 층간 절연막(5) 일부분에 메탈(7)을 형성한다.

이상에서 설명한 바와 같이, 본 발명의 박막 트랜지스터의 제조방법에 있어서는 다음과 같은 효과가 있다.

게이트 절연막의 두께를 일정하게 형성함으로써 게이트 절연막의 파괴전압 특성을 크게 향상시킬 수 있으므로 디바이스 특성이 우수한 박막 트랜지스터를 제작할 수 있고 신뢰성이 높은 액정표시 패널(Panel)의 제작이 가능하다.

(57) 청구의 범위

청구항1

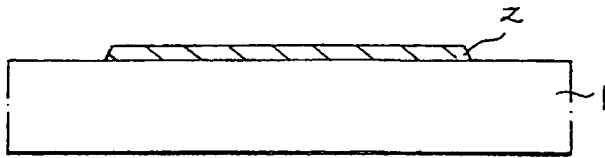
기판위에 활성층을 형성하는 단계, 상기 활성층의 소정영역에 감광막을 패터닝하는 단계, 상기 감광막을 마스크로 하여 상기 기판이 노출되지 않도록 상기 활성층의 일부를 제거하여 섬모양 활성층을 형성하는 단계, 상기 섬모양의 활성층을 포함한 기판 전면에 게이트 절연막을 형성하는 단계, 상기 섬모양 활성층을 포함한 게이트 절연막위에 게이트 전극을 형성하는 단계, 상기 게이트 전극 양측에 소오스/드레인 영역을 형성하는 단계, 상기 게이트 전극을 포함한 기판 전면에 층간 절연막을 형성하는 단계, 상기 층간 절연막 및 게이트 절연막을 선택적으로 제거하여 소오스/드레인 영역이 노출되도록 콘택홀을 형성하는 단계, 상기 콘택홀내에 소오스/드레인 전극을 형성하는 단계를 더 포함하여 이루어짐을 특징으로 하는 박막 트랜지스터 제조방법.

청구항2

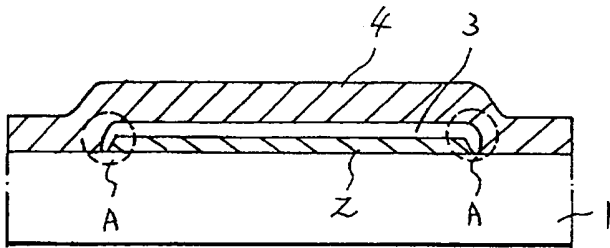
제1항에 있어서, 상기 게이트 절연막을 열산화로 형성되는 것을 특징으로 하는 박막 트랜지스터 제조방법.

도면

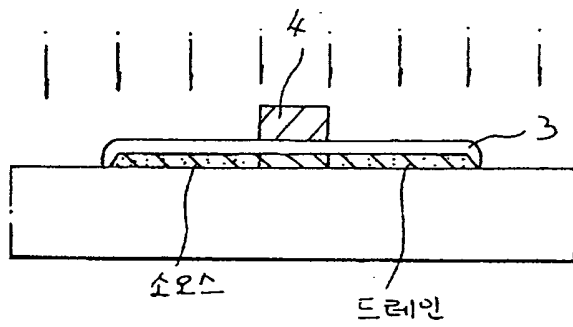
도면1a



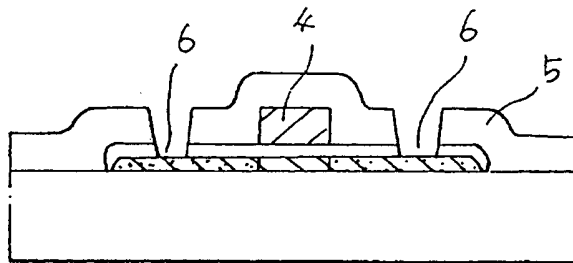
도면1b



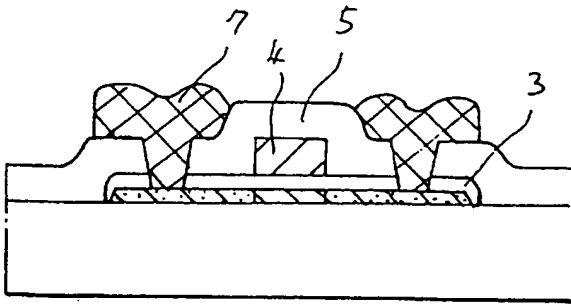
도면1c



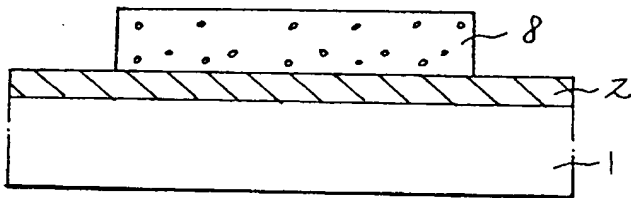
도면1d



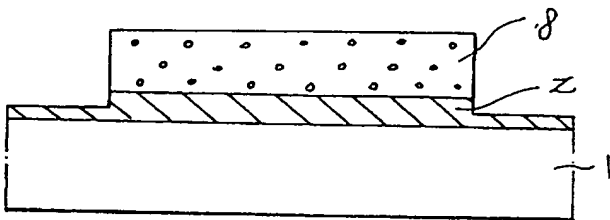
도면1e



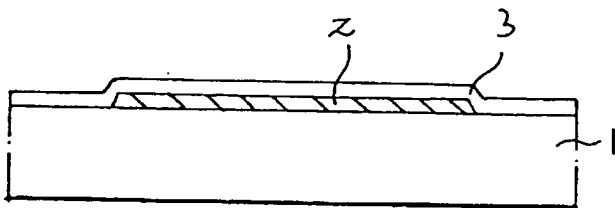
도면2a



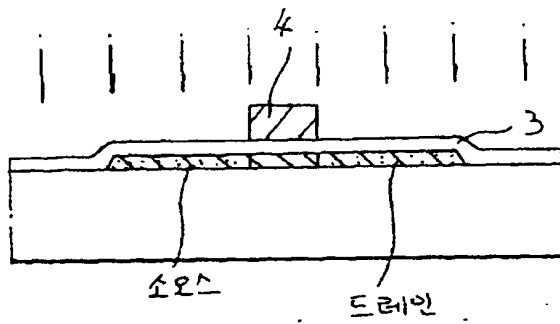
도면2b



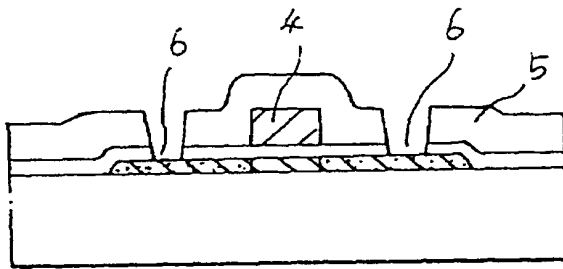
도면2c



도면2d



도면2e



도면2f

